

Jednostka wielofunkcyjna SIPART DR24

Podstawowe informacje o jednostce wielofunkcyjnej SIPART DR24

Przedstawione informacje dotyczą używanej w przykładach programowalnej jednostki wielofunkcyjnej SIPART DR 24 w wykonaniu 6DR2400-5 (zasilanie 115/230 V AC). SIPART DR24 [30] umożliwia nie tylko realizację algorytmów regulacji PID ale także algorytmów sterowania logicznego, sygnalizacji i alarmów oraz różnorodnego przetwarzania sygnałów pomiarowych. O dużej uniwersalności regulatora SIPART DR24 decyduje bogate oprogramowanie wykorzystywane do syntezy struktury i zadawania parametrów urządzenia. Czynności te można wykonać z pulpitu operatora (płyta czołowa regulatora) lub transmitując dane przygotowane przez projektanta wyposażonego w graficzny program narzędziowy SIPROM DR24[29], co jest znacznie wygodniejsze. Struktura regulatora jest swobodnie programowalna, łącznie z konfigurowaniem zasobów płyty czołowej. Funkcje siedmiu przycisków, trzech wyświetlaczy cyfrowych, dwóch linijek diodowych oraz jedenastu diod luminescencyjnych są zadawane przez projektanta podczas konfigurowania urządzenia. Także jedna z linijek diodowych może być konfigurowana jako zbiór niezależnych diod luminescencyjnych. Przygotowane programy aplikacyjne mogą być pamiętane w zbiorach dyskowych i w razie potrzeby przesyłane do jednostki wielofunkcyjnej, co powoduje zmianę funkcji lub parametrów urządzenia.

Możliwości funkcjonalne jednostki SIPART DR24,

Grupa „wejścia”:

- AE1A...AE8A - wejścia analogowe (AE4A...AE8A wejścia dostępne w dodatkowych modułach w gniazdach 2, 3 i 5));
- bE01...bE14 - wejścia binarne (bE5...bE14 wejścia dostępne w dodatkowych modułach w gniazdach 5 i 6) ;
- SbE1...SbE8 - SES(niem. Serielle Schnittstelle): wejścia binarne dostępne poprzez interfejs szeregowy;
- SA(E)1...SA(E)8 – SES: wejścia analogowe dostępne poprzez interfejs szeregowy (w starych wersjach programu SIPROM DR elementy te znajdują się w grupie „wyjścia”);
- sygnały ogólne i wiadomości o błędach (przykładowo: AdAP- sygnalizacja trybu pracy ”Adaptacja - półautomatyczny dobór nastaw”, nAE# - przekroczenie zakresu wejść wartości analogowych, nPAR – blokada zmiany parametrów, - nStr - blokada zmian struktury, tACt - taktowanie).

Grupa „wyjścia”:

- AA1...AA4 - wyjścia analogowe z możliwością wyboru jednego z dwóch źródeł za pomocą bloku przełącznika AAU uaktywnianego w grupie definiowania sprzętu hDEF (AA4 dostępne w dodatkowym module umieszczanym w gnieździe 6);
- bA1...bA4 - wyjścia binarne z możliwością wyboru jednego z dwóch źródeł za pomocą bloku przełącznika bAU uaktywnianego w grupie definiowania sprzętu hDEF;
- bA05/bA06, bA07/bA08 – wyjścia binarne przypisywane automatycznie do wyjść (+ Δy , - Δy) regulatorów CSi lub CSE jeśli są one zdefiniowane w FdEF;
- bA09/bA16 - wyjścia binarne (opcjonalne, dodatkowe moduły w gniazdach 5 i 6);
- SAA1...SAA8 - SES: wyjścia analogowe dostępne poprzez interfejs szeregowy;
- SbA1...SbA8 - SES: wyjścia binarne dostępne poprzez interfejs szeregowy.

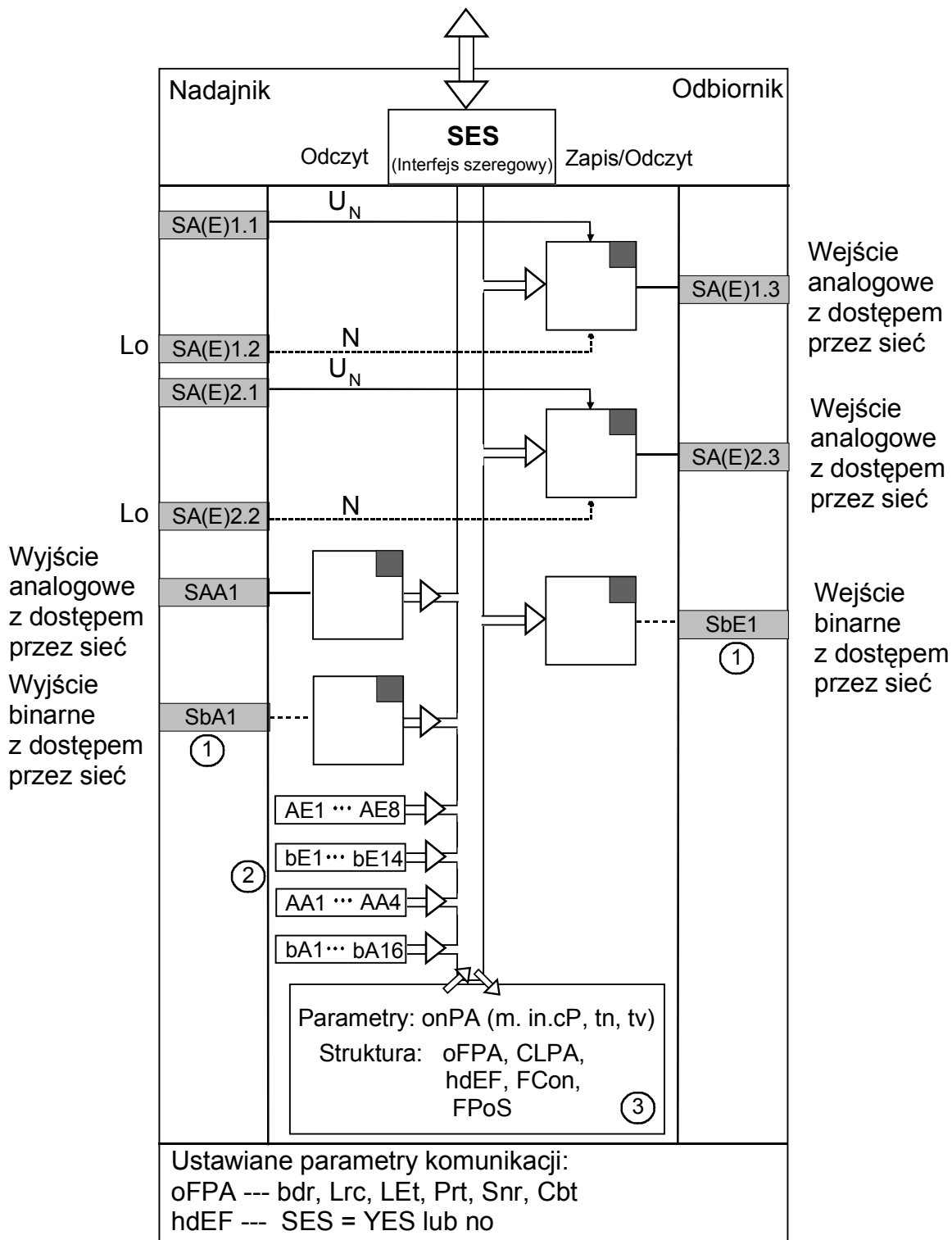
Do syntezy struktury urządzenia można wykorzystać 85 prostych bloków obliczeniowych, z których każdy może realizować jedną z 32 funkcji podstawowych oraz 20 bloków mogących realizować 24 funkcje złożone (z pewnymi ograniczeniami ilościowymi). Do każdego z dwóch bloków o 18

wejściach i 4 wyjściach można przypisać jedną z sześciu funkcji złożonych (kompleksowych): regulator o wyjściu ciągłym (Ccn1, Ccn2), regulator krokowy z wewnętrznym sprzężeniem zwrotnym (CSi1, CSi2), regulator krokowy z zewnętrznym sprzężeniem zwrotnym (CSE1, CSE2). Wszystkie funkcje zawarte są w bibliotece podzielonej na grupy funkcjonalne: matematyczne, logiczne, komparatory, czasowe, wejścia, wyjścia, inne. Grupa „inne” zawiera bloki regulatorów, multiplekser, wyświetlacze, przyciski itp.

Obecnie produkowana jednostka wielofunkcyjna 6DR2410 ma większe możliwości funkcjonalne:

- 32 funkcje podstawowe można przypisać 109 prostym blokom obliczeniowym,
- 49 funkcji kompleksowych przypisywanych do 41 bloków, z których aż cztery mogą pełnić funkcje regulatorów,
- nowe funkcje np. PWM (*Pulse-Width Modulator*), SPr1 (*Split range*)
- zwiększona ilość wejść/wyjść binarnych i analogowych,
- zwiększona do 16 ilość wejść/wyjść binarnych i analogowych dostępnych przez interfejs szeregowy,
- nowe typy opcjonalnych modułów sygnałowych, np. uniwersalny moduł wejść analogowych.

Jednostka wielofunkcyjna posiada blok wejściowo-wyjściowy kanału komunikacyjnego, którego strukturę dla przykładowego regulatora pokazano na rys. 7.1.



Rys.7.1. Struktura bloku komunikacyjnego dla przykładowego regulatora (rys.7.3).

Bloki wejść/wyjść binarnych i analogowych (1) dostępnych przez sieć uaktywniane są w bibliotece programu SIPROM wówczas, gdy w grupie *Edit* → *Define Hardware*, parametr SES = YES. Deklaracja ta dotyczy tylko programu i nie ma wpływu na ustawiony w jednostce wielofunkcyjnej z panelu operatora parametr SES w grupie hdEF (tryb *StrU*). Gdy w regulatorze parametr SES = no, to komunikacja możliwa jest tylko w jedną stronę – odczyt, przy czym niedostępne są wtedy ustawialne parametry komunikacji (grupa oFPA – tryb *StrU*).

Bloki SbE1...SbE8 , SA(E)1...SA(E)8 , SbA1...SbA8 , SAA1...SAA8 (maksymalna ilość w SIPART DR 2400) wykorzystywane są podczas konfigurowania struktury projektowanego urządzenia do podłączenia się w miejsca odbioru i wprowadzania danych procesowych i statusowych.

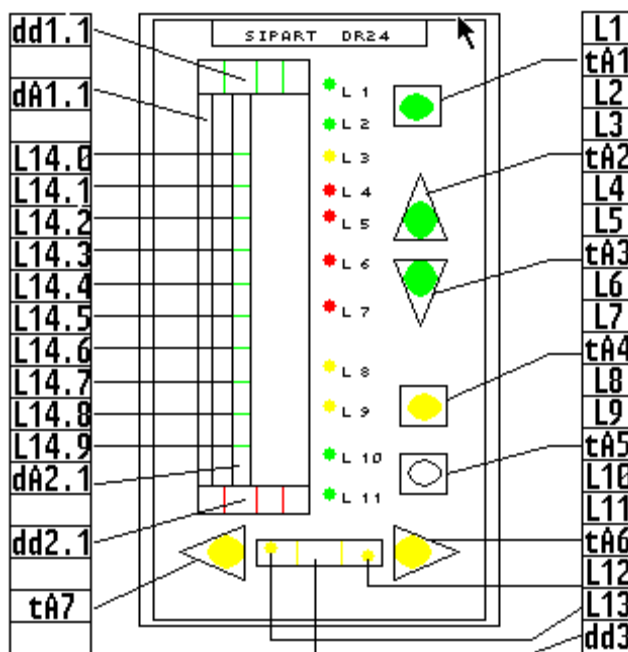
Na rys. 7.1 lewą część bloku komunikacyjnego stanowi nadajnik, a prawą - odbiornik.. Nadajnik może przekazać do mastera wartości zmiennych z obszaru danych procesowych który obejmuje wartości procesowe PV i zadane SP, wartości wejść/wyjść binarnych i analogowych a także bajty statusowe i sterujące (wykorzystując SAA1...SAA8 i SbA1...SbA8). Odbiornik może przyjąć 8 wartości binarnych SbE1...SbE8 oraz 8 wartości analogowych SA(E)1.3...SA(E)8.3. W torze obsługi wejść analogowych występują przełączniki sterowane sygnałem N z wejść SA(E)1.2...SA(E)A8.2, które umożliwiają dokonanie wyboru pomiędzy wartościami otrzymanymi poprzez interfejs szeregowy - przy niskim poziomie (Lo) sygnału N, a dodatkowymi wejściami U_N przy wysokim poziomie (Hi) sygnału N. Zwykle U_N są bezpiecznymi wartościami wykorzystywanymi w przypadku awarii (ustawienie fabryczne 0.000).

Nadane lub odebrane mogą być wszystkie parametry konfiguracyjne z grup z obszaru parametrów (3) wykorzystywanych do konfiguracji (strukturyzacji i parametryzacji) jednostki wielofunkcyjnej: onPA, oFPA, CLPA, hdEF, FCon, FPoS.

Wartości z wejść/wyjść tzw. sprzętowych (2) mogą być nadawane w sposób bezpośredni: sygnały analogowe wejściowe AE1...AE8, sygnały analogowe wyjściowe AA1...AA4, wejściowe sygnały binarne bE1...bE14, wyjściowe sygnały binarne bA1...bA16..

Panel operatorski

Na panelu operatorskim (rys.7.2) są umieszczone elementy wizualne i manualne potrzebne do szybkiej i łatwej obsługi regulatora. Są to trzy wskaźniki cyfrowe dd1 do dd3, dwa wskaźniki analogowe (linijki diodowe) dA1 i dA2 po trzydzieści diod LED każda, oraz 13 pojedynczych diod LED, siedem klawiszy operatorskich tA1 do tA7, w tym cztery oznaczone jako trójkątne pola. Wszystkie elementy panelu można dowolnie konfigurować, lecz są przyjęte pewne zasady tzn. w trakcie obsługi procesu wskaźniki mają następujące zadania: wyświetlacz dd1 wskazuje wartość zadaną, dd2 - wielkość regulowaną (mogą być podawane w jednostkach fizycznych), dd3 – sygnał wyjściowy regulatora w procentach. Najczęściej linijka diodowa dA1 wskazuje uchyb regulacji.



Rys.7.2. Panel operatorski jednostki wielofunkcyjnej SIPART DR24

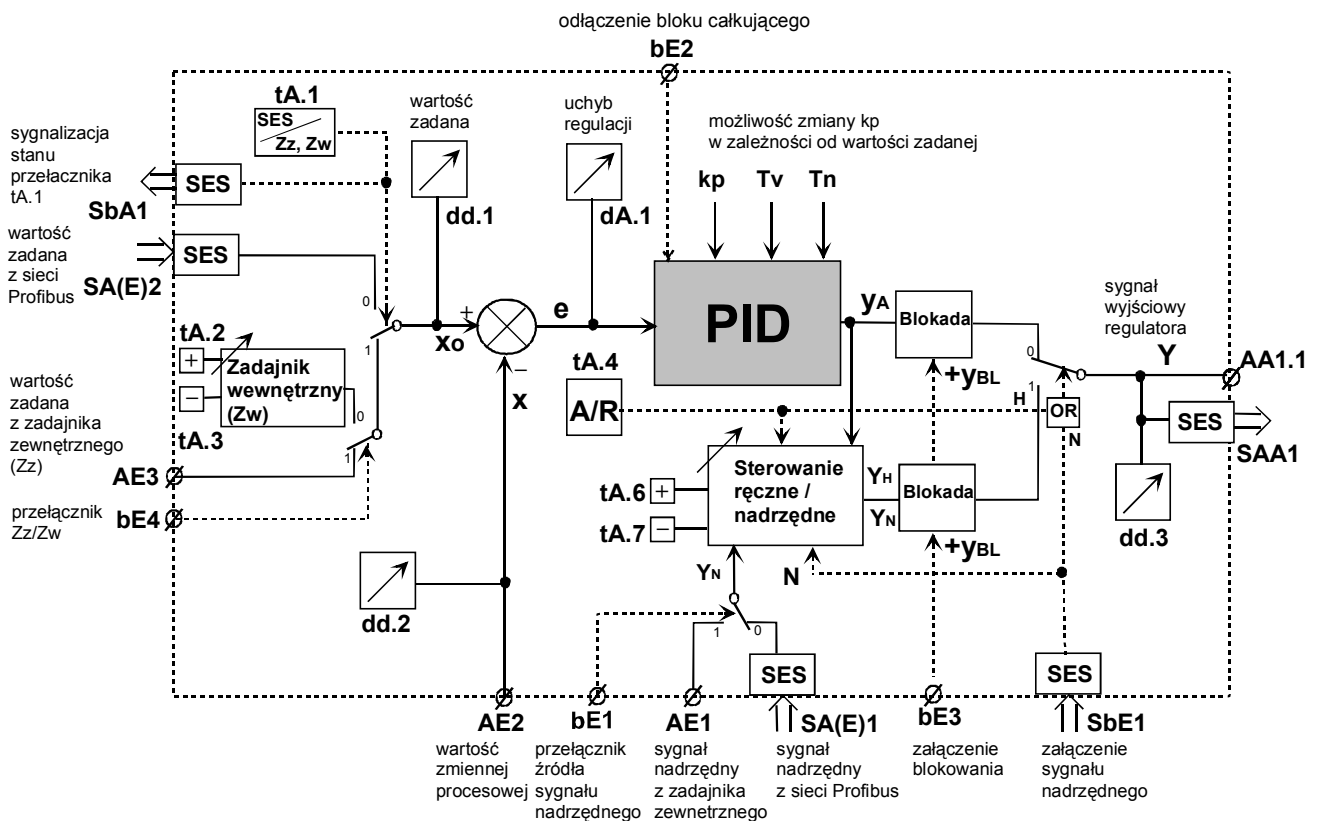
. Konfigurowanie regulatora PID w programie SIPROM DR

Przed przystąpieniem do konfigurowania regulatora należy przygotować jego schemat funkcjonalny. Proces syntezy regulatora rozpoczyna się od określenia jego możliwości funkcjonalnych i przygotowania na tej podstawie schematu projektowanego układu. Na rys.7.3 przedstawiono przykładowy schemat funkcjonalny regulatora o wyjściu ciągłym.

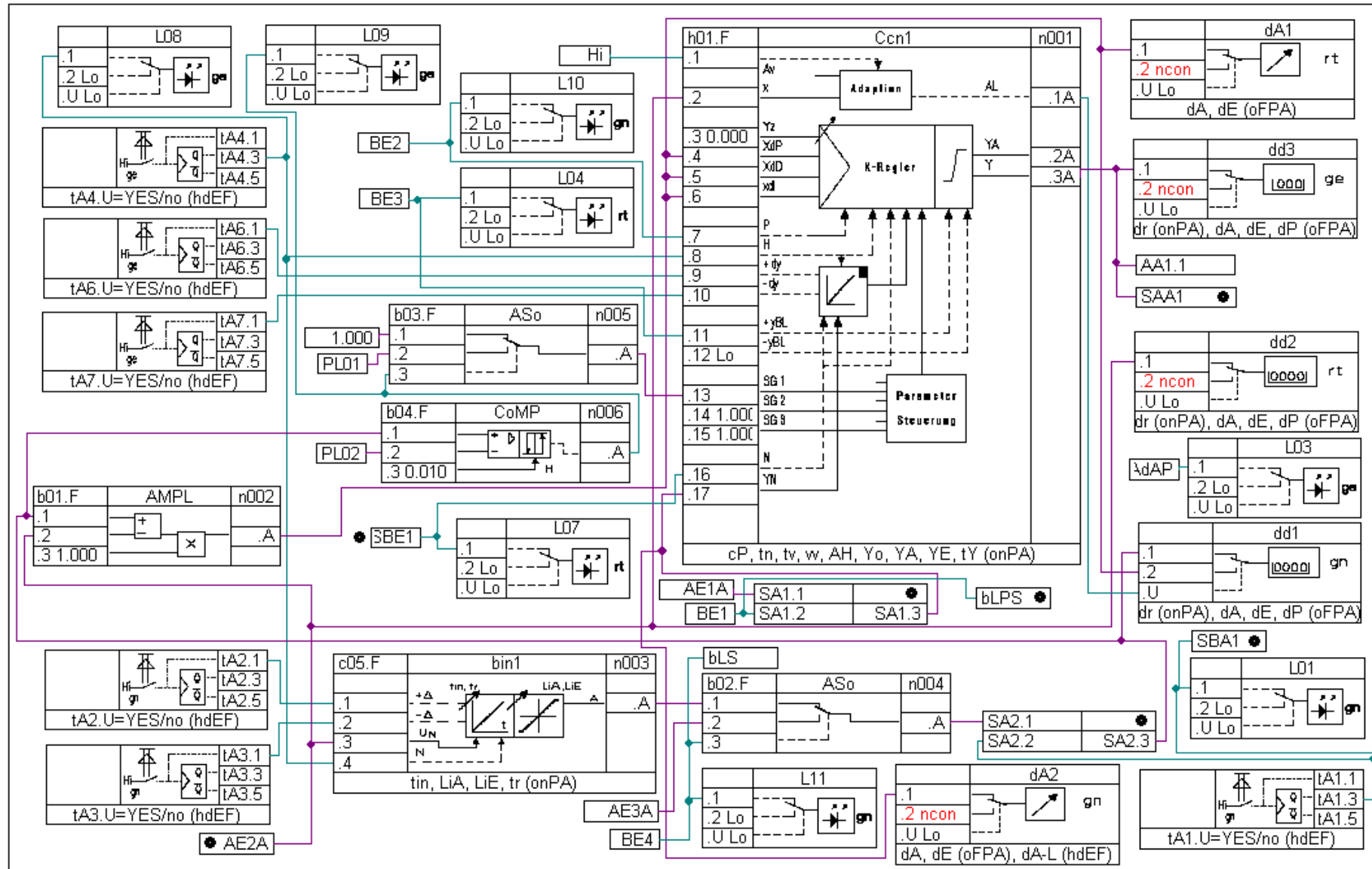
Następnie korzystając z oprogramowania narzędziowego SIPROM DR należy skonfigurować regulator. Proces konfigurowania regulatora składa się z następujących faz:

- definiowanie – wybór bloków układu o ustalonych lub przyporządkowanych im funkcjach,
- łączenie – wykonanie połączeń pomiędzy wejściami i wyjściami bloków,
- pozycjonowanie – określenie kolejności obsługi bloków podczas wykonywania programu przez CPU. Kolejność określa numer w górnym, prawym rogu bloków funkcyjnych przypisywany automatycznie podczas pobierania z biblioteki (możliwością późniejszej jego zmiany). W przypadku konfigurowania regulatora pozycjonowanie nie ma znaczenia. Pozycjonowanie jest jednak ważne podczas realizacji funkcji logicznych.

Strukturę realizującą funkcje regulatora o schemacie funkcjonalnym z rys.7.3, pokazano na rys. 7.4.



Rys. 7.3. Schemat funkcjonalny przykładowego regulatora PID o wyjściu ciągłym.



Rys. 7.4. Struktura przykładowego regulatora PID.

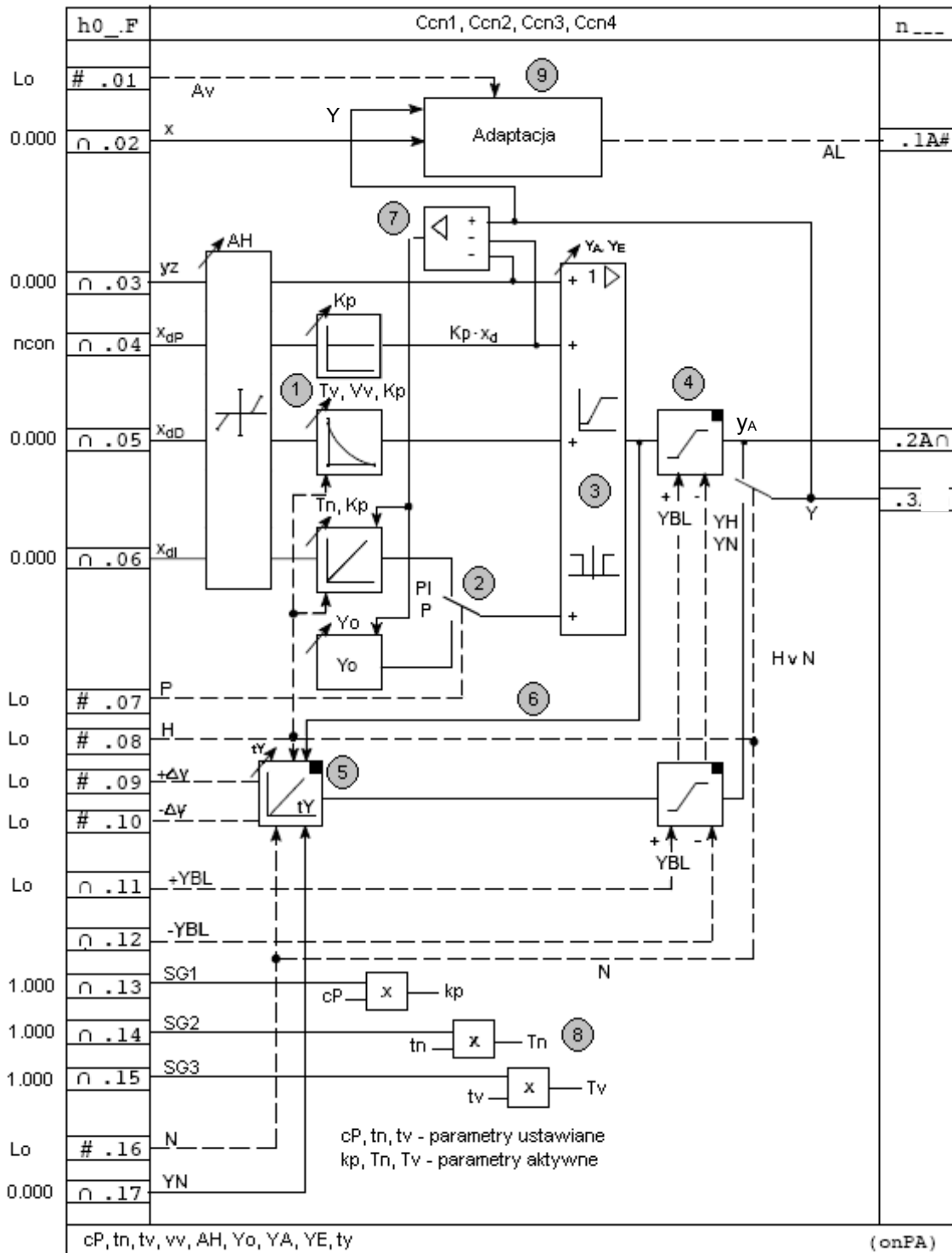
Hardware function	Character	Value	Selection
Signal range of analog output 1	AA1	4 MA	0 MA, 4 MA
Signal range of analog output 2	AA2	0 MA	0 MA, 4 MA
Signal range of analog output 3	AA3	0 MA	0 MA, 4 MA
Signal range of analog output 4	AA4	0 MA	0 MA, 4 MA
Analog output switchover	AAU	no	no, YES
Signal range of analog input 1	AE1	4 MA	no, 0 MA, 4 MA
Signal range of analog input 2	AE2	4 MA	no, 0 MA, 4 MA
Signal range of analog input 3	AE3	4 MA	no, 0 MA, 4 MA
Signal range of analog input 4	AE4	no	no, 0 MA, 4 MA
Signal range of analog input 5	AE5	no	no, 0 MA, 4 MA
Signal range of analog input 6	AE6	no	no, 0 MA, 4 MA
Signal range of analog input 7	AE7	no	no, 0 MA, 4 MA
Signal range of analog input 8	AE8	no	no, 0 MA, 4 MA
Mains frequency suppression of analog inputs	AEFr	50 H	50 H, 60 H
Battery back-upRAM	bAtt	YES	no, YES
Binary output switchover	bAU	no	no, YES
Display selection, analog display or LED	dA-L	dA2	dA2, L14
dd* flash following power on	dPon	no	no, YES
Name of the user program	nAME	1	0 to 254
Options in slot 5	oP5	no	no, 4bA, 5bE, 2rEL
Options in slot 6	oP6	no	no, 4bA, 5bE, 2rEL, 1AA, 3AE
Serial interface	SES	YES	no, YES

Parameter	Character	Value	Dimension	Setting r
Logarithmic parameter 9	Pd09	10	1, s, 100, %	0.100
Logarithmic parameter 10	Pd10	10	1, s, 100, %	0.100
Logarithmic parameter 11	Pd11	10	1, s, 100, %	0.100
Logarithmic parameter 12	Pd12	10	1, s, 100, %	0.100
Logarithmic parameter 13	Pd13	10	1, s, 100, %	0.100
Logarithmic parameter 14	Pd14	10	1, s, 100, %	0.100
Logarithmic parameter 15	Pd15	10	1, s, 100, %	0.100
Logarithmic parameter 16	Pd16	10	1, s, 100, %	0.100
Linear parameter 1	PL01	0.500	1, s, 100, %	-1.99
Linear parameter 2	PL02	0.500	1, s, 100, %	-1.99
Linear parameter 3	PL03	0.000	1, s, 100, %	-1.99
Linear parameter 4	PL04	0.000	1, s, 100, %	-1.99
Linear parameter 5	PL05	0.000	1, s, 100, %	-1.99

Na ekranie obok pokazana jest konfiguracja sprzętowa zaprojektowanego regulatora zadana w programie SIPROM w grupie *Edit* → *Define Hardware*. Dotyczy ona zakresów sygnałów wejściowych i wyjściowego oraz uaktywnienia bloków SES w bibliotece programu.

W grupie *Edit* → *On-Line Parameters* zadaje się wartości parametrów, w tym PL01 i PL02. Jeśli wartość zadana SP jest większa od PL02 to sygnał wyjściowy (Hi) komparatora *CoMP* przełącza wyjście przełącznika analogowego ASo z wejścia 1 (wartość 1.0) na wejście 2 (wartość zadana w PL01). Sygnał wyjściowy przełącznika stanowi mnożnik dla współczynnika wzmocnienia regulatora k_p i po przełączeniu $k_p = PL01 * cP$.

Głównym blokiem funkcyjnym jest blok *Ccn1* realizujący algorytm regulatora PID o wyjściu ciągłym, którego schemat pokazano na rys. 7.5 z zaznaczeniem elementów omówionych poniżej.



Rys.7.5. Schemat bloku realizującego algorytm regulatora PID o wyjściu ciągłym [31].

- ① Struktura regulatora PID realizowana jest jako połączenie równoległe bloków P, I i D z nastawami zależnymi [22]. Wyjście regulatora opisywane jest równaniem:

$$(7.1) \quad Y_A(s) = k_p X_{dP}(s) + \frac{k_p}{T_{II}s} X_{dI}(s) + \frac{k_p T_v s}{1 + \frac{T_v s}{V_v}} X_{dD}(s) + y_Z$$

gdzie X_{dP} , X_{dI} , X_{dD} – sygnały na wejściach (.04,.05, .06) bloków P, D i I;
 k_p – współczynnik wzmocnienia proporcjonalnego 0,1...100,0 (dla SG1=1);
 T_n – czas zdwojenia (niem. *nachstellzeit* – „czas cofnięcia”) 1,0...9984 sek (dla SG2=1);
 T_V – czas wyprzedzenia (niem. *vorhaltzeit*) OFF, 1,0...2992 sek (dla SG3=1),
 V_V – współczynnik równy stosunkowi czasu wyprzedzenia do stałej czasowej inercji działania różniczkowego 0,1...10. Inercja różniczkowania w regulatorach realizowanych w technice analogowej powstawała w sposób naturalny ze względu na właściwości elementów elektronicznych. W regulatorach mikroprocesorowych jest wprowadzana celowo, aby wyeliminować wpływ zakłóceń wysokoczęstotliwościowych,

y_Z – sygnał wyjściowy dodatkowego korektora przetwarzającego zakłócenia mierzalne w taki sposób, że dodanie tego sygnału do sygnałów regulatora niweluje działanie zakłócenia na obiekt (tzw. inwariantność układu regulacji). Taki rodzaj sterowania w przeciwieństwie do sterowania ze sprzężeniem zwrotnym (ang. *feedback control*, *close-loop control*), które likwiduje działanie zakłóceń niemierzalnych nazywa się sterowaniem z oddziaływaniem (ang. *feedforward control*). Zaprojektowanie korektora wymaga znajomości transmitancji obiektu dla sygnału zakłócającego.

AH – strefa martwa dla sygnałów X_{dP} , X_{dI} , X_{dD} , y_Z ustawiana w granicach 0...10%

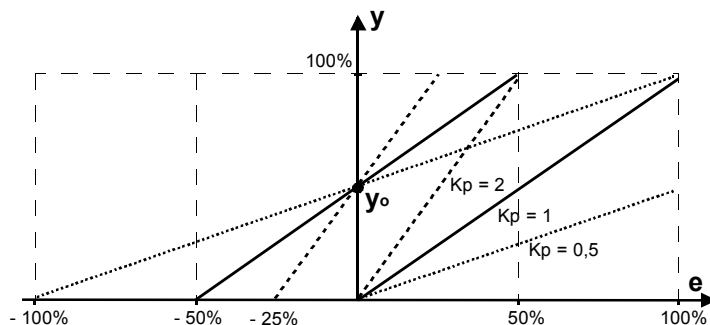
2 Przełącznik umożliwiający wyłączenie działania całkującego, w celu realizacji algorytmu P lub PD. Wyłączenie następuje przez podanie wysokiego stanu logicznego („Hi”) na wejście .07. Po przełączeniu wyliczony sygnał wyjściowy regulatora może być zwiększony o ustawialną stałą wartość y_0 nazywaną sygnałem podporowym (*BIAS*, przesunięcie). Charakterystyki statyczne regulatora P lub PD po podaniu sygnału podporowego pokazuje rys. 7.6. Jak widać podanie tego sygnału powoduje, że wyjście regulatora jest różne od zera w momencie, gdy uchyb regulacji ma wartość zero, co pozwala znacznie zmniejszyć uchyb regulacji w stanie ustalonym.

Inną zaletą podania sygnału podporowego jest umożliwienie regulatorowi reakcji na wystąpienie uchybu ujemnego. Równanie regulatora PD z sygnałem podporowym ma postać:

$$y(t) = k_p[e(t) + T_d \frac{de(t)}{dt}] + y_0, \quad 7.2$$

gdzie e – uchyb regulacji, T_d - czas wyprzedzenia.

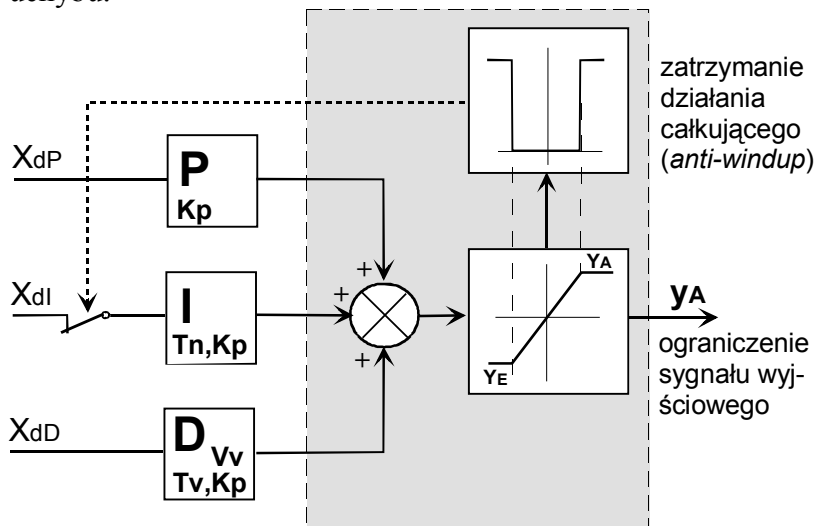
Wartość y_0 dobierana jest dla danego układu regulacji w zależności od punktu pracy.



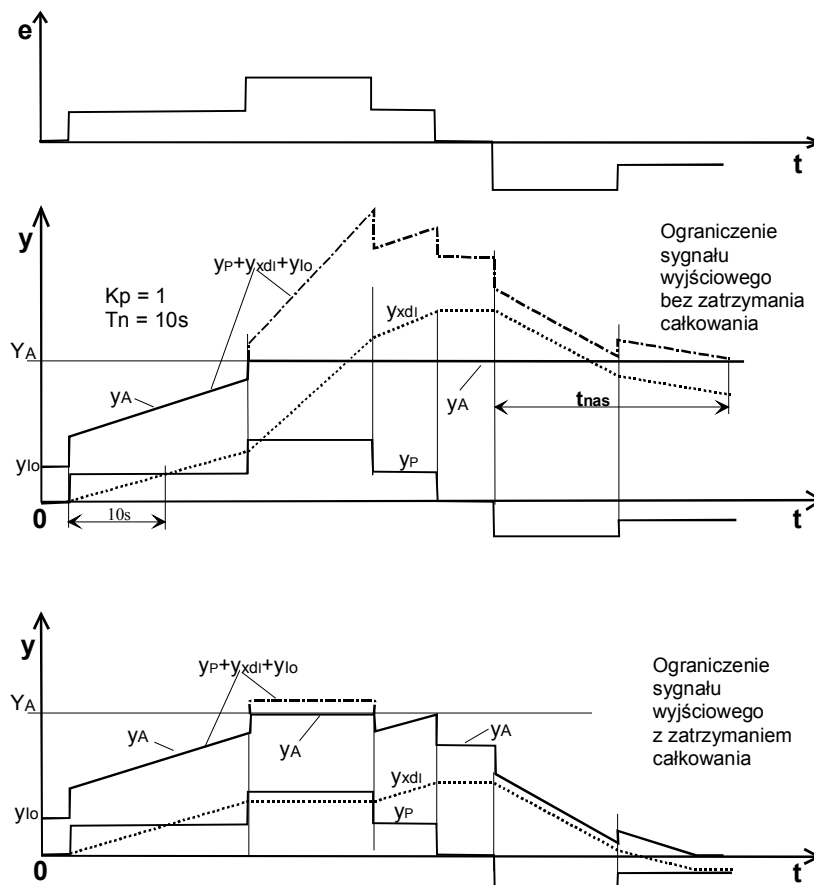
Rys. 7.6. Charakterystyki statyczne regulatora P lub PD przed i po podaniu sygnału podporowego y_0 .

3 Sumator (rys.7.7) sygnałów wyjściowych z bloków P, I i D, sygnału podporowego y_0 (jeżeli wyłączone jest działanie całkujące) oraz sygnału korekcyjnego y_Z , z możliwością ograniczenia sygnału wyjściowego y_A regulatora. Ponadto blok ten zapewnia zatrzymanie działania całkującego (poprzez tzw. układ *anti-windup*) po przekroczeniu wartości granicznych y_A lub y_E sygnału wyjściowego, ustawianych w zakresie -10%...110%. Ograniczenie sygnału wyjściowego ma na celu dopasowanie do zakresu pracy urządzenia wykonawczego oraz zapobiega zbyt radykalnym działaniom algorytmów P i PD. Funkcja ta

jest aktywna tylko w trybie pracy automatycznej. Zatrzymanie działania całkującego zapobiega „nasycaeniu się” sumarycznego sygnału regulatora (tzw. saturacja) i następuje w momencie przekroczenia dolnego lub górnego ograniczenia sygnału wyjściowego. Jeśli nie zostanie zatrzymane całkowanie, to przy dodatnim uchybie regulacji zawartość rejestru sumarycznego będzie wzrastała aż do jego przepełnienia. Zmiana znaku uchybu powoduje zmniejszanie zawartości tego rejestru od wartości ostatnio pamiętanej, która może być znacznie większa niż ograniczona wartość rejestru wyjściowego. Tym samym upłyne czas t_{nas} (rys. 7.8) zanim zacznie reagować urządzenie wykonawcze na zmianę znaku sygnału uchybu.



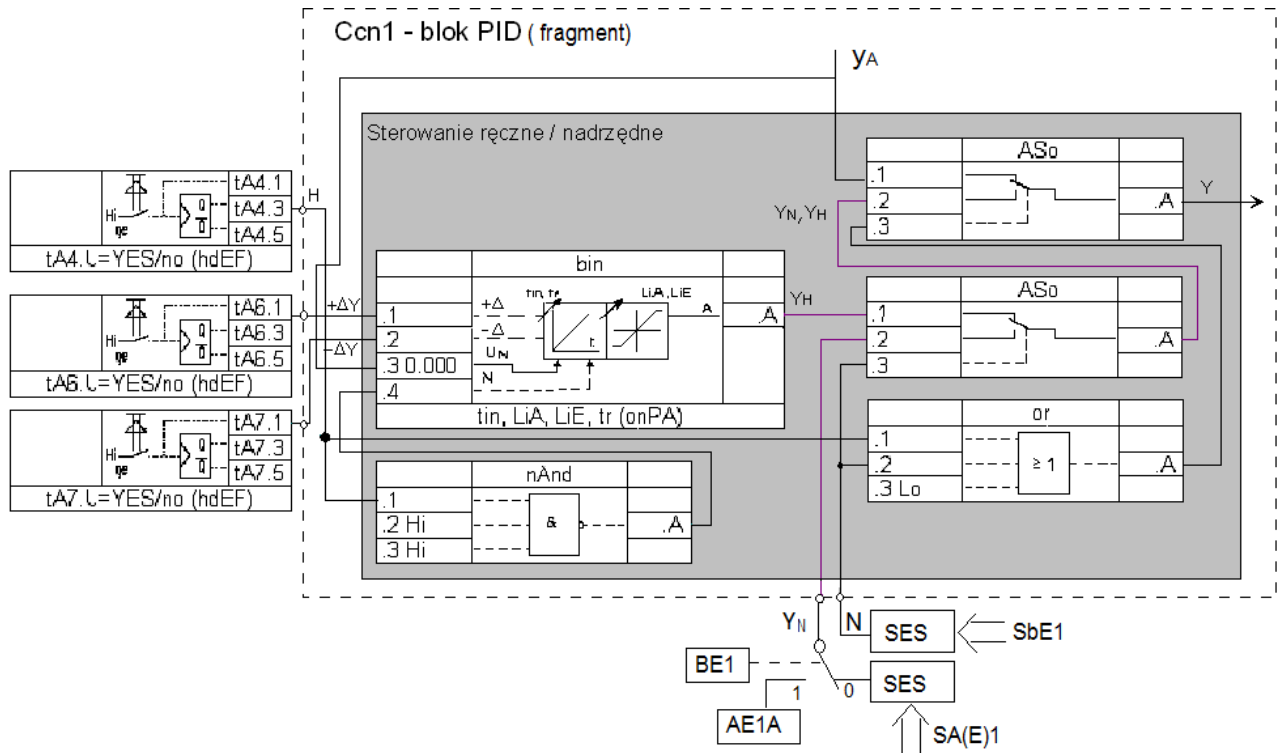
Rys.7.7. Blok sumatora z układami ograniczenia sygnału wyjściowego i zatrzymania całkowania (bez Y_0, y_z).



Rys. 7.8. Ilustracja skutków działania układu zatrzymania całkowania: (a) przebieg testowego uchybu regulacji, (b) przebiegi czasowe sygnałów w regulatorze PI bez zatrzymania całkowania ale z ograniczeniem sygnału wyjściowego (c) przebiegi czasowe sygnałów w regulatorze PI z zatrzymaniem całkowania i ograniczeniem sygnału wyjściowego

④ Układ blokady sygnału wyjściowego od góry lub dołu sterowany sygnałami binarnymi – YBL (wejście .12), +YBL (wejście .11). Blokada oznacza wyłączenie jednego z kierunków zmian sygnału na wyjściu i działa we wszystkich trybach pracy regulatora.

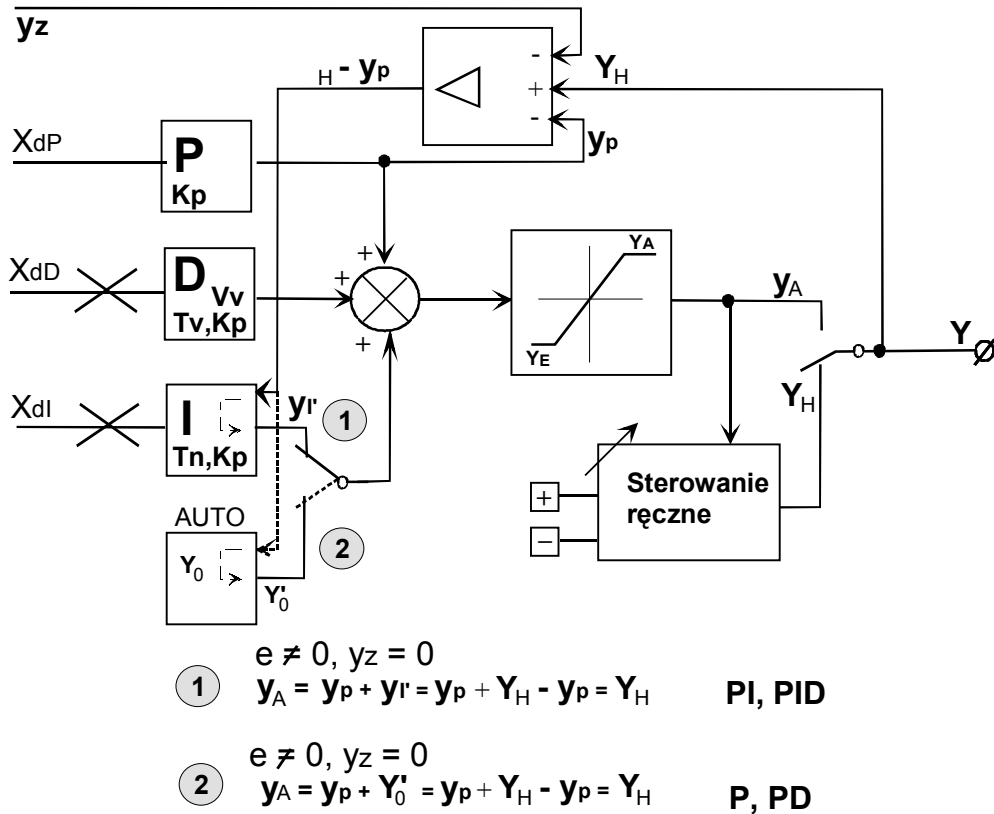
⑤ Układ przełączania trybów pracy regulatora ze sterowania automatycznego na sterowanie ręczne lub nadrzędne, którego funkcjonalność ilustruje rys. 7.9. Przycisk tA4 jest źródłem sygnału binarnego H (wejście .08), którego stan wysoki oznacza przełączenie na pracę ręczną – R. W tym trybie sterujemy ręcznie wyjściem regulatora $Y = Y_H$, wybierając kierunek zmian sygnału Y_H przyciskami tA6 (wejście .09), tA7 (wejście .10). Tryb sterowania nadrzędnego wybieramy sygnałem binarnym N (wejście .16), którego źródłem jest sygnał zewnętrzny z sieci Profibus DP – (SES)SbE1. Sygnał sterowania nadrzędnego Y_N (wejście .17) jest przekazywany na wyjście regulatora $Y = Y_N$. Sygnał ten jest nadrzędny w stosunku do sygnału przełącznika A/R. Na rysunku nie pokazano układu blokady w torze sygnałów Y_H i Y_N . Jeśli sygnały H i N są w stanie niskim to sygnał wyjściowy regulatora $Y = y_A$.



Rys.7.9. Układ przełączania trybów pracy regulatora.

6) Przełączenie między sterowaniem automatycznym i ręcznym powinno się odbyć „bezuderzeniowo”, tzn. bez skokowej zmiany wielkości sygnału wyjściowego regulatora sterującego urządzeniem wykonawczym. W tym celu wykorzystuje się integrator binarny *bin*, który przy podaniu na wejście .4 (rys.7.9) negacji sygnału trybu pracy automatycznej (stan niski sygnału H) śledzi sygnał y_A . W ten sposób w momencie przełączenia w tryb pracy ręcznej pierwsza wartość sygnału $Y_H = y_A$.

7) Układ bezuderzeniowego przełączenia z trybu sterowania ręcznego w tryb sterowania automatycznego pokazano na rys.7.10. W trybie pracy ręcznej ze struktury regulatora odłączane są układy: całkowania i różniczkowania. Bezuderzeniowe przejście wymaga by pierwsza wartość sygnału wyjściowego w trybie automatycznym była równa ostatniej wartości tego sygnału w sterowaniu ręcznym. Osiąga się to poprzez algorytm polegający na śledzeniu przez rejestry wyjściowe bloków **I** oraz **Y₀** (AUTO) sygnału $Y_H - y_p$.



Rys. 7.10. Układ bezuderzeniowego przejścia ze sterowania ręcznego na sterowanie automatyczne.

⑧ W transmitancji regulatora PID SIPART DR24:

$$G_R(s) = K_p \left(1 + \frac{1}{T_n s} + \frac{T_v s}{1 + \frac{T_v s}{v v}} \right), \quad (7.3)$$

nastawy K_p , T_n , T_v nazywane są parametrami „aktywnymi” i są wyliczane z zależności:

K_p (współczynnik wzmocnienia) = $cP * SG1$, $cP = 0,1 \dots 100$,

T_n (czas zdwojenia) = $tn * SG2$, $tn = 1 \dots 9984$,

T_v (czas wyprzedzenia) = $tv * SG3$, $= 1 \dots 2992$ lub off,

przy czym: cP , tn , tv – parametry ustawiane przez operatora, $SG1$, $SG2$, $SG3$ oznaczają odpowiednio wartości na wejściach 13., 14., 15 bloku Ccn1 i są współczynnikami korygującymi (domyślnie równymi jeden). Przy pomocy współczynników korygujących można np. dostosować nastawy do punktu pracy. Pamiętać przy tym należy, że dopuszczalny zakres zmian parametrów aktywnych jest taki sam jak parametrów ustawianych.

Parametry bloku Ccn1 można edytować w programie SIPROM w sposób następujący: *Edit* → *On-line Parameters*.

Integral action time of binary integrator 1	bin1 tin	PROG	s	PROG
Tracking time of binary integrator 1	bin1 tr	OFF	s	OFF
Output start of scale limit - binary integrator 1	bin1 LiA	-5.0	%	-199.9
Output full scale limit - binary integrator 1	bin1 LiE	105.0	%	-199.9
Proportional gain of K controller 1	Ccn1 cP	1	1	0.100
Integral action time of K controller 1	Ccn1 tn	5	s	1.000
Derivative act. time of K controller 1	Ccn1 tv	OFF	s	OFF
Derivative act. gain of K controller 1	Ccn1 vv	5	1	0.100
Response threshold of K controller 1	Ccn1 AH	0.0	%	0.0 to
Working point of P controller K controller 1	Ccn1 Y0	AUTO	%	AUTO
Start of scale manipulated variable limit of K controller 1	Ccn1 YA	-5.0	%	-10.0
Full scale manipulated variable limit of K controller 1	Ccn1 YE	105.0	%	-10.0
Positioning time of K controller 1	Ccn1 tY	20	s	10 to

9 Blok „Adaptacja” umożliwia półautomatyczny dobór nastaw regulatora metodą opracowaną przez firmę Siemens, z wykorzystaniem modelu obiektu wg Strejca. Aby uaktywnić blok adaptacji powinien zostać podany sygnał wysoki (Hi) na wejście .01 (Av), a na wejście .02 – sygnał z obiektu (zmienna procesowa). Sam proces wyznaczania nastaw odbywa się w trybie pracy ręcznej. Wewnątrz bloku Ccn1 połączono już odpowiednie wejście bloku „Adaptacja” z wyjściem regulatora, aby możliwe było zarejestrowanie momentu podania sygnału skokowego na obiekt podczas eksperymentu. Jeśli nie korzystamy z półautomatycznego doboru nastaw proponowanego przez firmę Siemens, można wykorzystać dowolną metodę z wielu proponowanych w literaturze.

W strukturze regulatora z rys.7.4 oprócz głównego bloku funkcyjnego Ccn1 wykorzystywane są inne bloki pełniące zadania stacyjki operatorskiej. Podawanie wartości zadanej może być zrealizowane przez zadajnik wewnętrzny (blok integratora binarnego *bin1* i przyciski *tA2* (+) i *tA3* (-)), zadajnik zewnętrzny (źródło prądowe- wejście analogowe *AE3*) lub ze sterownika SIMATIC S7(master sieci Profibus) poprzez wkładkę komunikacyjną (wejście analogowe *SA(E)2*). Wyboru pomiędzy zadajnikiem wewnętrznym lub zewnętrznym dokonuje się sygnałem binarnym *BE4*, zaś pomiędzy zadajnikami a siecią Profibus - przyciskiem *tA1*. Wybranie zadajnika zewnętrznego sygnalizuje świeceniem dioda *L11*, zaś wybranie zadajników (czyli wartość zadana nie jest przekazywana przez sieć) - dioda *L01*. Informacja o przekazywaniu wartości zadanej przez sieć dostępna jest także w stacji master poprzez czytanie binarnego wyjścia komunikacyjnego *SBAl*.

Blok *AMPL* wykorzystywany jest jako węzeł sumacyjny wartości zadanej i wartości procesowej (wejście *AE2*). Otrzymany uchyb regulacji podany jest na wejścia członu proporcjonalnego, całkującego oraz różniczkującego regulatora (blok *Ccn1*- wejścia .4,.5,.6). Uchyb jest wyświetlany na linijce diodowej *dA1*. Jego dokładna wartość może być odczytana na wyświetlaczu *dd1* podczas trwania procesu doboru nastaw (tryb *AdAP*).

Przełącznikiem trybu pracy „automatyczna/ręczna” jest przycisk *tA4*, którego sygnał z wyjścia bistabilnego podany jest na wejście .8 („H”) bloku *Ccn1*. Praca ręczna sygnalizowana jest diodą *L08*. W tym trybie zwiększanie i zmniejszanie sygnału wyjściowego regulatora odbywa się przyciskami *tA6* i *tA7*, których sygnały z wyjść monostabilnych podawane są odpowiednio na wejścia .9 („+dy”) i .10 („-dy”). Podczas pracy ręcznej binarny integrator *bin1* jest przełączany w tryb „śledzenia” sygnałem na wejściu .4(„N”). Wówczas na wyjściu integratora binarnego pojawia się wartość procesowa (blok wejściowy *AE2A* połączony z wejściem .3 – „UN”). Tym samym uchyb regulacji (wyjście *Ampl*) równy jest zeru, również w pierwszej chwili po przełączeniu na pracę automatyczną. Jest to więc „bezuderzeniowe” przełączenie trybu pracy lecz z dokonaną wskutek śledzenia zmianą wartości zadanej (wartość zadana = wartości procesowej). Nie zawsze jest to pożądane, dlatego wykorzystanie trybu „śledzenia” jest opcjonalne.

Przełączenie w tryb sterowania nadrzędnego wymaga podania ze stacji master poprzez wejście *SBE1* sygnału binarnego na wejście .16 („N”) bloku *Ccn1* i jest sygnalizowane diodą *L07*. Wyjście regulatora nadaża wówczas za wartością sygnału analogowego podawanego na wejście.17 z wejścia analogowego *AE1* lub z mastera poprzez wejście komunikacyjne *SA(E)1*. Wybór źródła sygnału sterowania nadrzędnego, wyświetlanego na linijce diodowej *da2*, dokonywany jest sygnałem na binarnym wejściu *BE1*. Sygnał ten uruchamia także działanie bloku *bLPS* (blokowanie trybu parametryzacji i strukturyzacji) sygnalizowane komunikatem *PS* na wyświetlaczu *dd3* oraz *no* na *dd1*. Bloki *bLPS*, *bLS* (blokowanie struktury) oraz *bLb* (blokowanie operacji w DR2410) należą do grupy „Data Sinks”.

Sygnał binarny podany poprzez wejście *BE3* na wejście .11 („+yBL”) i sygnalizowany diodą *L04* powoduje blokadę sygnału wyjściowego od góry.

Podanie sygnału binarnego na wejście .7 („P”) bloku *Ccn1* poprzez wejście *BE2* odłącza działanie całkujące regulatora PID i podłącza w zamian sygnał przesunięcia *Yo*. Odłączenie działania całkującego sygnalizuje dioda *L10*.

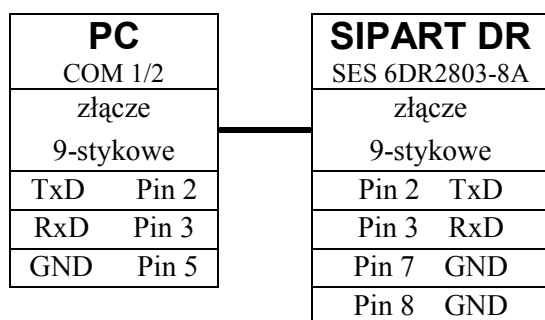
Przełącznik wartości analogowej *ASo* i komparator *CoMP* służą do wyboru współczynnika wzmocnienia $K_p = cP * SG1$, poprzez zmianę wartości współczynnika korekcyjnego *SG1*. W przykładzie współczynnik ten jest zadawany w zależności od punktu pracy układu regulacji (wartości zadanej). Jeżeli wartość zadana jest większa od wartości progowej ustalonej w bloku parametru liniowego *PL02* (np. 0,5 czyli 50%) to na wyjściu *CoMP* jest sygnał logiczny *Hi*, który powoduje wybranie zamiast *SG1 = 1* wartości *SG1 = PL01* (np. 0,7). Mnożnik *SG1* podawany jest na wejście .13 *Ccn1*. Zmiana współczynnika *SG1* sygnalizowana jest diodą *L09*.

Wyświetlacze cyfrowe *dd1*, *dd2* i *dd3* pokazują odpowiednio wartości: zadaną, procesową i wyjścia regulatora. Dioda *L03* pokazuje stan sygnalizatora trwania procesu doboru nastaw (*AdAP*) w bloku „Adaptacja”.

Po zaprojektowaniu struktury i konfiguracji sprzętowej należy przesłać aplikację do jednostki SIPART DR24.

Komunikacja regulatora wielofunkcyjnego SIPART DR24 z jednostką nadrzędną

Komunikacja między jednostką SIPART DR24 a innymi urządzeniami systemu sterowania odbywa się za pomocą łącza szeregowego w standardzie RS 232C (V28) lub RS485. Regulator można wyposażyć opcjonalnie w moduł komunikacyjny 6DR2803-8A (RS232C), 6DR2803-8C (RS232C/RS485) lub 6DR2803-8P (Profibus DP). W tylnej części regulatora znajduje się gniazdo 4 dla modułu komunikacyjnego (rys.2.17). Moduł komunikacyjny 6DR2803-8A umożliwia połączenie w dwóch wersjach: End-End lub tzw. połączenie SIPART – Bus [30]. Wybór następuje przez ustawienie zwory na module. Kabel połączeniowy pokazano na rys.7.10.



Rys. 7.10. Kabel połączeniowy pomiędzy SIPART DR24 (z wkładką RS232) a komputerem PC (z oprogramowaniem SIPROM DR)

Uaktywnienie opcji komunikacji End – End.

Do przesłania programu aplikacyjnego z programatora (PC z programem narzędziowym SIPROM DR) można wykorzystać wkładkę komunikacyjną RS-232 (z wybranym poprzez ustawienia zwór trybem End-End) oraz kabel połączeniowy. Następnie należy z panelu operatorskiego jednostki wielofunkcyjnej ustawić parametry komunikacyjne do transmisji szeregowej. W tym celu:

- Przycisnąć klawisz tA5 przez około 5s, do momentu pojawienia się na wyświetlaczu dd3 (żółty) migoczącego napisu *PS* (przejście z poziomu sterowania procesem do poziomu wyboru menu konfiguracji przy braku blokady: bLPS = 0).
- Klawiszami tA2 i tA3 wybrać spośród opcji *onPa*, *AdAP* i *StrU* (na wyświetlaczu zielonym dd1) opcję *StrU* (tryb strukturyzacji). Ustawienia w trybie onPA i AdAP realizowane są w trybie online tzn. zmiany zmiennych procesowych można obserwować na wyświetlaczach analogowych
- Wcisnąć klawisz tA4 na około 3s, aby dokonać wejścia w tryb wstępnego wyboru struktury.
- Ze wstępnego menu należy wybrać klawiszami tA2, tA3 tryb definiowania hardware'u - *hdEF* na wyświetlaczu zielonym.
- Klawiszami tA6, tA7 wybrać tryb ustawiania – „*SEt*” na wyświetlaczu czerwonym (dd2).
- Aby wejść w tryb zmiany parametrów hardware'u należy wcisnąć klawisz tA4.
- Klawiszami tA6, tA7 należy wybrać na dd2 parametr *SES* i klawiszami tA2, tA3 ustawić *YES* na dd1.
- Przy pomocy klawisza tA1 należy wrócić do menu wstępnego wyboru struktury, wybrać na dd1 klawiszami tA2, tA3 tryb *oFPA*.
- Klawiszami tA6, tA7 wybiera się tryb ustawiania - *SEt* na wyświetlaczu czerwonym (dd2).
- Po wejściu w tryb *oFPA* klawiszem tA4, należy klawiszami tA6, tA7 wybrać na dd3 parametr *LEt* i klawiszami tA2, tA3 ustawić *Et-L* na dd1. Parametr *LEt* określa umiejscowienie sumy kontrolnej *Lrc* w ramce komunikacyjnej: *no L* – bez *Lrc*, *Et-L* – *Lrc* za znakiem końca ramki *ETX*, *L-Et* – *Lrc* przed znakiem końca ramki *ETX*.
- Następnie klawiszami tA6, tA7 należy wybrać tryb ustawiania numeru stacji - *Snr* na dd3 i przyciskami tA2, tA3 wybrać odpowiedni numer stacji (od 0 do 31) na dd1(w przykładzie – „1”).

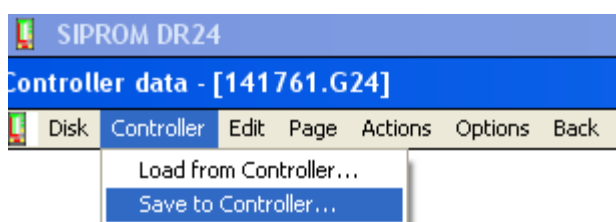
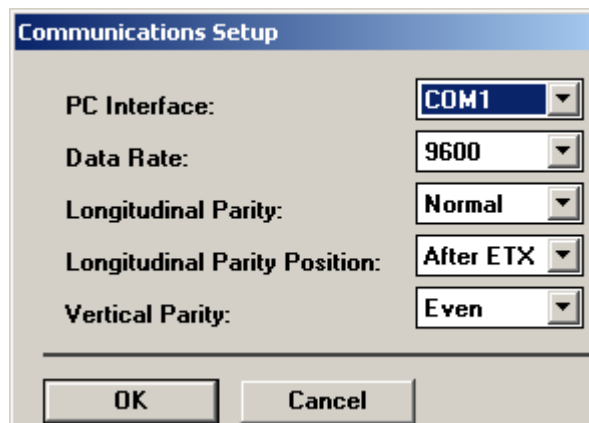
Pozostałe parametry transmisji pozostają w ustawieniu fabrycznym:

- prędkość transmisji *bdr* - 9600,
- sposób liczenia sumy kontrolnej *Lrc* - *norM*,
- parzystość *Prt* - *EvEn*,
- kontrola przekroczenia długości przerwy w komunikacji *Cbt* – *oFF* (wyłączona).

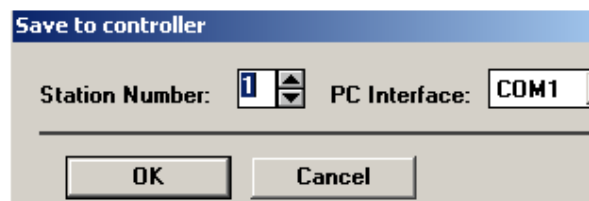
Poprzez dwukrotne przyciśnięcie tA1 wraca się do menu obsługi procesu. Od tego momentu można przystąpić do obsługi jednostki wielofunkcyjnej z PC za pomocą firmowego oprogramowania SIPROM DR.

Po ustawieniu parametrów komunikacyjnych oraz połączeniu jednostki SIPART DR24 (z wkładką komunikacyjną 6DR2803-8A) z programatorem (PC) należy jeszcze w programie SIPROM DR wybrać *Options*→*Communication Setup* i ustawić parametry komunikacyjne programatora jak na ekranie obok. Odpowiadają one następującym parametrom w jednostce SIPART DR24:

bdr =9600, Lrc = norM (Normal), LEt = Et-L (After ETX), Prt = EvEn (Even)



Następnie wybrać *Controller*→*Save to Controller* i po ustawieniu numeru stacji i portu komunikacyjnego kliknąć *OK.*, przesyłając aplikację do SIPARTA DR24, który tym samym stanie się regulatorem.



Dokumentacje techniczne:

- [29] SIPROM DR24. Graphic Configuration of the Multifunction Unit SIPART DR24. Manual. SIEMENS. Issue 05/96
- [30] SIPROM DR24. Handbuch. 6DR1125-8KB. Siemens AG,1992.
- [31] Multifunktionseinheit SIPART DR24 6DR2400 Handbuch. C73000-B7400-C134-5. Siemens AG,1990.
- [32] SIPART DR24. Serielle SIPART DR24 V28 Busschnittstelle C73000-B7400-C135-1. Siemens AG,1991.
- [33] SIPART DR24. Serial SIPART DR24 Bus Interface 6DR2400/6DR2410, C73000 – B7476 – C135-06 Siemens AG,1991..

Opracowanie: W.Solnik, Z.Zajda